

Family list

1 application(s) for: JP2000252426

1. SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Inventor: NAKAZAWA YOSHITO ; MACHIDA NOBUO (+2)

EC:

Publication JP2000252426 (A) - 2000-09-14
info:

Applicant: HITACHI LTD ; HITACHI TOBU SEMICONDUCTOR LTD

IPC: H01L27/04; H01L21/822; H01L27/04; (+3)

Priority Date: 1999-02-25

Data supplied from the *espacenet* database — Worldwide

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP2000252426 (A)

Publication date: 2000-09-14

Inventor(s): NAKAZAWA YOSHITO; MACHIDA NOBUO; KUDO SATOSHI; YAMAUCHI SHUNICHI +

Applicant(s): HITACHI LTD; HITACHI TOBU SEMICONDUCTOR LTD +

Classification:

- international: **H01L27/04; H01L21/822; H01L27/04; H01L21/70; (IPC1-7): H01L27/04; H01L21/822**

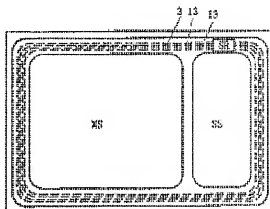
- European:

Application number: JP19990047607 19990225

Priority number(s): JP19990047607 19990225

Abstract of JP 2000252426 (A)

PROBLEM TO BE SOLVED: To form a high breakdown voltage and high resistance resistor element in a semiconductor device by forming the resistor element on an annularly formed diffusion layer via an insulating film to relax the electric field applied to the field insulating film. **SOLUTION:** A semiconductor device is formed by making an MISFET MS to be a main switch constituting a high voltage part of a switching regulator, an MISFET SS to be a stator switch, and a resistor element to be a wave resistor SR into an integrated circuit. The MISFET is constituted in a mesh structure wherein a plurality of cells having planar structure are regularly arranged in a region surrounded by a rectangular annular field insulating film 3 whose angled parts are made to be arcuate along the outer periphery of a semiconductor substrate, respective gates of adjacent cells provided on the main surface of the semiconductor substrate via a gate insulating film are connected together, and respective cells are connected in parallel. The electric field applied to the field insulating film 3 can be relaxed by forming the resistor element SR on the field insulating film 3.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252426

(P2000-252426A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl. ⁷	識別記号	F I	データベース (参考)
H 0 1 L	27/04	H 0 1 L	27/04
	21/822		P 5 F 0 3 8
			H

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平11-47607

(22) 出願日 平成11年2月25日 (1999.2.25)

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233527

日立東部セミコンダクタ株式会社
群馬県高崎市西横手町1番地1

(72) 発明者 中沢 芳人

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内

(74) 代理人 100083552

弁理士 秋田 収喜

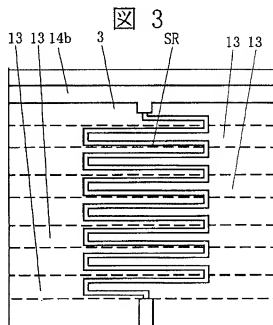
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 抵抗素子の形成された絶縁膜に加わる電界を緩和し、前記絶縁膜の破壊を防止する。

【解決手段】 半導体基板主面にフローティングの拡散層が環状に形成された半導体装置について、前記拡散層上に、絶縁膜を介して、抵抗素子が形成されている。また、半導体基板主面にフローティングの拡散層が環状に複数形成された半導体装置について、前記複数の拡散層上に、絶縁膜を介して、抵抗素子が形成され、この抵抗素子と前記拡散層とが夫々電氣的に接続されている。この構成によって、高電圧の印加時に、前記抵抗素子に発生する電界と前記拡散層に発生する電界との差が前記絶縁膜に加わる電界となるため、前記絶縁膜に加わる電界を緩和することができるので、前記絶縁膜の破壊を防止することが可能となる。



【特許請求の範囲】

【請求項 1】 半導体基板主面にフローティングの拡散層が環状に形成された半導体装置において、前記拡散層上に、絶縁膜を介して、抵抗素子が形成されていることを特徴とする半導体装置。

【請求項 2】 半導体基板主面に環状の拡散層が複数形成された半導体装置において、前記複数の拡散層上に、絶縁膜を介して、抵抗素子が形成され、この抵抗素子と前記拡散層とが夫々電気的に接続されていることを特徴とする半導体装置。

【請求項 3】 前記抵抗素子のシート抵抗が $10\text{ k}\Omega/\square$ 以下であることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記抵抗素子がスイッチングレギュレータの起動抵抗として用いられていることを特徴とする請求項 1 乃至請求項 3 の何れか一項に記載の半導体装置。

【請求項 5】 前記抵抗素子が p 型の不純物であるボロン又は n 型の不純物であるリン等を含有する多結晶シリコンからなることを特徴とする請求項 1 乃至請求項 4 の何れか一項に記載の半導体装置。

【請求項 6】 半導体基板主面にフローティングの拡散層が環状に形成された半導体装置の製造方法において、前記半導体基板主面にフローティングの拡散層を環状に形成する工程と、前記拡散層上に、絶縁膜を介して、抵抗素子を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板主面に環状の拡散層が複数形成された半導体装置の製造方法において、前記半導体基板主面に環状の拡散層を複数環状に形成する工程と、前記複数の拡散層上に、絶縁膜を介して、抵抗素子を形成する工程とを有し、この抵抗素子と前記複数の拡散層とが夫々電気的に接続されていることを特徴とする半導体装置の製造方法。

【請求項 8】 前記抵抗素子のシート抵抗が $10\text{ k}\Omega/\square$ 以下であることを特徴とする請求項 6 又は請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記抵抗素子がスイッチングレギュレータの起動抵抗として用いられていることを特徴とする請求項 6 乃至請求項 8 の何れか一項に記載の半導体装置の製造方法。

【請求項 10】 前記抵抗素子が p 型の不純物であるボロン又は n 型の不純物であるリン等を含有する多結晶シリコンからなることを特徴とする請求項 6 乃至請求項 9 の何れか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に、高耐圧が要求される抵抗を有する半導体装置

に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体装置は、他の部品等と基板上に実装され電子装置として用いられている。こうした電子装置は直流電源によって駆動されており、このため通常の使用では、商用電源である交流電源から直流電源を得るための AC-DC コンバータ、更に、得られた直流電源から、回路ごとに異なる複数の電圧を供給するための DC-DC コンバータが必要となる。このような AC-DC コンバータ或いは DC-DC コンバータ等の電源回路は、電子装置に内蔵させる或いは外付けのアダプタとして提供することによって、直流電源を供給している。

【0003】 こうした電源回路では、変圧用のトランス、平滑用の大容量コンデンサ、チョークコイル等の集積回路化が困難な部品が用いられるために、小電力信号を処理する制御回路を集積回路化してディスクリットな部品と組み合わせる手法が取られてきた。このため、電源回路の小小型化には自ずと限界があった。

【0004】 然し乍ら電子装置の小小型化が進み、他の回路が集積化によって飛躍的に小小型化されていくに連れて、電子装置の容積或いは重量に占める電源回路の比重が相対的に高くなり、このためこうした電源回路についても大幅な小小型化が求められつつあり、今後この傾向は更に進むものと考えられる。

【0005】 こうした電源としては、スイッチングレギュレータが多用されている。スイッチングレギュレータでは、交流入力電圧を一旦整流した後にトランジスタのオン・オフ回路によって交流に変換し、再び整流回路によって直流に変換して出力電圧としているが、トランジスタがパルス幅制御されたオン・オフ動作を行うため、損失が少ないので変換効率が高い。加えて、スイッチング周波数を高くすることによって、トランス、チョークコイル、コンデンサ等を小小型化できるので、電源回路が軽量化される等の利点がある。こうしたスイッチングレギュレータの回路例を図 1 に示す。

【0006】 スwitchングレギュレータ（破線図示）では、パワー MIS FET によって構成されるメインスイッチ MS とスタータースイッチ SS と高抵抗の起動抵抗 SR とからなる高電圧部（二点線図示）と、小電圧信号を処理する制御部からなっている。このようなスイッチングレギュレータを集積回路化するためには、高電圧部の集積化が必要となってくる。

【0007】 現在、商用電源の交流電圧は国ごとに異なっており、例えば日本では 100 V 又は 200 V であるが、米国では 115 V 、欧州では $220\text{ V}\sim 240\text{ V}$ となっている。 240 V の交流を整流した直流電源と接続するスイッチングレギュレータでは、最大耐圧 700 V 程度が必要となり、製品値としてこの数値を保証するために、前記高電圧部には最大耐圧 750 V 程度の設計値が必要となる。また、高電圧印加時の降伏は、面積が大

きい素子にてその表面部分以外にて行なわれるのが望ましい。具体的には、面積が小さく表面で降伏しやすい起動抵抗素子での降伏を回避し、面積が大きく表面で降伏しにくいパワー-MISFETにて降伏させるのが望ましい。このため、パワーMISFETの耐圧を750V～800Vとすれば、起動抵抗素子の耐圧は800V以上とすることが望ましい。

【0008】高電圧部を構成する要素の中で、MISFETについては夫々単体のデバイスとして耐圧確保の技術手法が確立されており、これらの技術を利用することができる。しかし、起動抵抗となる高耐圧高抵抗の抵抗素子については、このような800V以上の高耐圧の抵抗素子は、これまで集積回路化されておらず他に例がないため、新たに開発を進める必要がある。

【0009】

【発明が解決しようとする課題】こうした高耐圧高抵抗の抵抗素子を形成する場合に、フィールド絶縁膜上に抵抗素子を形成することも考えられるが、スイッチングレギュレータでは、半導体基板が前記高電圧によって正電位にバイアスされているため、通常のフィールド絶縁膜では、前記高電圧による高電界が加わり、フィールド絶縁膜が破壊されてしまうことがある。従って耐圧がフィールド絶縁膜の厚さによって限定されてしまうことになる。なお、こうしたフィールド絶縁膜の破壊を防止するためにフィールド絶縁膜を厚くするのは、フィールド絶縁膜形成の酸化処理に要する時間が長くなり、現実解とはなりにくい。加えて、フィールド絶縁膜を厚くした場合にはその段差が大きくなり、ホトレジストを均一に塗布することが難しくなる等の問題も発生する。

【0010】他に、デプレッション型のMISFETを抵抗として用いることも考えられるが、形成される抵抗の抵抗値のパラッキが大きいという問題がある。デプレッション領域の不純物濃度を高濃度化して深いデプレッションにすれば、このパラッキを多少は抑えることができるが、耐圧が低下してしまうという問題がある。更に、抵抗素子を活性領域に形成するためにチップサイズが拡大する。

【0011】また、SGSトムソン社は、スイッチングレギュレータの集積回路化に際して、満巻状に抵抗素子を形成し、その中心部分を高電位に接続し、外周部分を接地電位に接続する技術を採用した。然し乍ら、発明者等の実験では、この抵抗素子は印加電圧が高くなると抵抗値が下がり大きな電流が流れてしまうという問題がある。また、この抵抗素子も、活性領域に形成されるために、チップサイズの拡大を招き、更に、他の素子等との間で寄生動作を起こすことが考えられる。なお、こうした満巻状の抵抗素子については、例えば、IEEE Transactions on Electron Devices, vol 44 (No. 11, November, 1997) 2002頁乃至2010頁に記載されて

いる。

【0012】本発明の課題は、前述した問題を解決し、高耐圧高抵抗の抵抗素子を形成することが可能な技術を提供することにある。本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかなるものである。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0014】半導体基板主面にフローティングの拡散層が環状に形成された半導体装置について、前記拡散層上に、絶縁膜を介して、抵抗素子が形成されている。また、半導体基板主面に環状の拡散層が複数形成された半導体装置について、前記複数の拡散層上に、絶縁膜を介して、抵抗素子が形成され、この抵抗素子と前記拡散層とが夫々電気的に接続されている。

【0015】その製造方法について、前記半導体基板主面にフローティングの拡散層を環状に形成する工程と、前記拡散層上に、絶縁膜を介して、抵抗素子を形成する工程とを有する。

【0016】

【作用】上述した手段によれば、高電圧の印加時に、前記抵抗素子に発生する電界と前記拡散層に発生する電界との差が前記絶縁膜に加わる電界となるため、前記絶縁膜に加わる電界を緩和することができるので、前記絶縁膜の破壊を防止することが可能となる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0018】（実施の形態1）図2は、本発明の一実施の形態の半導体装置の概略構成を示す平面図であり、図3は、図2中の抵抗素子SRを拡大して示す要部平面図であり、図4は、図2中のメインスイッチMSを示す縦断面図であり、図5は、図2中のスタークスイッチSS及び抵抗素子SRが設けられていない外周部を示す縦断面図であり、図6は、図2中のスタークスイッチSS及び抵抗素子SRが設けられた外周部を示す縦断面図である。

【0019】本実施の形態の半導体装置は、スイッチングレギュレータの高電圧部を構成するメインスイッチとなるMISFET MS、スタークスイッチとなるMISFET SS及び起動抵抗SRとなる抵抗素子を、集積回路化して形成したものである。

【0020】MISFET MS、MISFET SSは、例えば単結晶珪素からなるn+型半導体基体1に、例えばエピタキシャル成長によってn-型層2を形成した半導体基板に形成される。これらのMISFETは、

半導体基板の外周に沿って角部を円弧状とした矩形環状に設けられたフィールド絶縁膜3によって囲まれた領域内に、ブレーナ構造のセルを規則的に複数配置し、半導体基板主面にゲート絶縁膜4を介して設けた隣接するセルの各ゲート5が互いに接続され、各セルを並列接続したメッシュゲート構造で構成される。外周のセルの各ゲート5はセル領域の外周部にて、例えば多結晶珪素を用いたゲート配線6と接続され、このゲート配線6がゲート5の接続領域であるゲートパッドと接続されている。

【0021】各セルでは、半導体基板1上に形成されたn型層2がドレイン領域となり、半導体基板主面に形成されたp型層7がチャネルの形成されるベース領域となり、p型層7内に形成されたn+型層8がソース領域となる縦型FETとなっている。

【0022】ゲート配線6は、層間絶縁膜9を介して上層に形成され、例えばシリコンを含有させたアルミニウムを用いたゲートガードリング10と電気的に接続されている。ソースとなるn+型層8は、例えばシリコンを含有させたアルミニウムを用いたソース配線11と電気的に接続されており、ソース配線11は半導体基板主面に層間絶縁膜9を介して形成されている。このソース配線11は、ソースとなるn+型層8の他に、ベース電位を一定とするために、p型層7に設けられたp+型のコンタクト層12にも電気的に接続されている。

【0023】半導体基板の外周に沿って角部を円弧状とした矩形環状に設けられたフィールド絶縁膜3の下部には、フローティングのp型拡散層かなるリング13を同心環状に複数配置したFLR (Field Limiting Ring) が設けられている。このFLRでは、印加電圧の増加に連れて、アバランシェ降伏が起きる前に内周のリング13から外周のリング13に電位が延びてパンチスルーする構成となっており、最終的には最外周のリング13の接合部分にて降伏する。また、前述の如く、高電圧印加時の降伏は、面積が大きい素子にてその表面部分以外に行なわれるのが望ましい。このため、面積が小さく表面で降伏しやすいFLRでの降伏を回避し、面積が大きく表面で降伏しにくいパワーMISFETにて降伏させるため、パワーMISFETの耐圧を750V～800Vとすれば、FLRの耐圧は800V以上とする。

【0024】このFLRの降伏電圧は、理論上各リング13間のパンチスルー耐圧及び最外周リングの降伏電圧の和となるため、リング13の本数を増やすことによって高耐圧化することができるが、ターミネーション長を考慮して、本実施の形態ではリング13を4本としてある。そして、このFLRの形成されたフィールド絶縁膜3上に、抵抗素子SRが形成されている。抵抗素子SRは例えばp型不純物であるボロン又はn型の不純物であるリン等を含有した多結晶シリコンかなり、図3に明らかなように、FLRの各リング13に直交する方向に

蛇行させて設けられている（但し断面図では、概念的に理解しやすくするために直線状に単純化してある）。抵抗素子SRは、放熱を考慮して断面面積に対して表面積を増加させるために、扁平形状とする。

【0025】高電圧の印加時に、抵抗素子SRに発生する電界とFLRに発生する電界との差が、それらの間に位置するフィールド絶縁膜3に加わる電界となる。このため、FLRの形成されたフィールド絶縁膜3上に、抵抗素子SRを形成することによって、フィールド絶縁膜3に加わる電界を緩和することができる。従って、抵抗素子SRはFLRの最外周のリング13よりも外側まで設け、抵抗素子SRに生じる電界とFLRに生じる電界とを略同一とすることによって、フィールド絶縁膜3に加わる電界を最小化することができる。また、フィールド絶縁膜3の外周には半導体基板主面に設けたn+型の半導体領域14aに、例えばシリコンを含有させたアルミニウムを用いた配線14bを接続したガードリング14が設けられており、ガードリング14の配線14bは抵抗素子SRの一端に接続されてドレインと導通し、抵抗素子SRの他端がスタックスイッチSSのゲートと接続されており、ドレインの接続領域としては、半導体基板底面の全面に、n+型半導体基板1と導通するドレイン電極が、例えばニッケル、チタン、ニッケル、銀を積層した積層膜として形成される。

【0026】このような本発明の半導体装置における抵抗素子SRとFLRとの関係を説明する。まず、図7に示すのは、FLRを設けずにフィールド絶縁膜上に抵抗素子を形成した場合の電位分布を示す縦断面図である。図7中の(a)は抵抗素子SRに直接高電位を加える場合であり、(b)は抵抗素子SRにドレイン領域を介して高電位を加える場合である。何れの場合にも、高電圧の印加時に、抵抗素子SRに発生する電界によって、等電位線はフィールド絶縁膜3に対して横方向に間隔を密にして表われる。即ち電位は縦方向に急激に変化することとなり、この急激な電位の変化が、フィールド絶縁膜3の絶縁破壊を引き起こす。

【0027】図8に示すのは、FLRを設けフィールド絶縁膜上に抵抗素子を形成した本発明の場合の電位分布を示す縦断面図である。図8中の(a)は抵抗素子SRに直接高電位を加える場合であり、(b)は抵抗素子SRにドレイン領域を介して高電位を加える場合である。何れの場合にも、高電圧の印加時に、抵抗素子SRに発生する電界とFLRに発生する電界（電線にて空乏層を示す）とによって、等電位線はフィールド絶縁膜3に対して縦方向に間隔をおいて表われる。即ち電位は横方向に緩やかに変化することとなり、フィールド絶縁膜3に加わる電界を緩和することができるので、高電圧印加時のフィールド絶縁膜3の破壊を防止することが可能となる。こうして、フィールド絶縁膜3の絶縁破壊を防止することが可能となることによって、フィールド絶縁膜3

上に抵抗素子SRを配置することができる。このため、活性領域に抵抗素子の領域を設ける必要がなくなるために、チップサイズを縮小することができる。

【0028】これに対して、例えば、図9に示すデプレッション型のMISFETを抵抗として用いる場合には、形成される抵抗の抵抗値のパラツキが大きいという問題がある。デプレッション領域の不純物濃度を高濃度化して深いデプレッションにすれば、このバラツキを多少は抑えることができるが、耐圧が低下してしまうという問題がある。更に、抵抗素子を活性領域に形成するためにチップサイズが拡大する。

【0029】また、図10に示すように、渦巻状に抵抗素子(SJT)を形成し、その中心部分を高電位に接続し、外周部分を接地電位に接続する場合には、印加電圧が高くなると抵抗素子の抵抗値が下がり大きな電流が流れてしまうという問題がある。また、この抵抗素子も、活性領域に形成されるために、チップサイズの拡大を招き、更に、他の素子等との間で寄生動作を起こすことが考えられる。これに対して、本発明の抵抗素子では、工程数が増加することなく、他の素子等との間で寄生動作を起こすこともない。

【0030】図11に示すのは、シート抵抗を変えて本発明の抵抗素子を形成し、電圧・電流特性を測定した結果を示すグラフである。シート抵抗が高い場合には、印加電圧が高くなるに連れて、抵抗素子の発熱によって抵抗値が下降する。従って、電圧・電流特性をリニアにするためには、シート抵抗を $10\text{ k}\Omega/\square$ 以下にする必要がある。

【0031】図12に示すのは、不純物濃度を変えて本発明の抵抗素子を形成し、温度・シート抵抗特性を測定した結果を示すグラフである。このグラフからシート抵抗が大きな抵抗素子が負の温度特性をもち、シート抵抗が高いほど温度による抵抗変化が大きくなることが理解される。また、本実施の形態では、スイッチングレギュレータの高電圧部を集積回路化し、制御回路については別チップとする半導体装置について説明を行なった。この構成によって、高電圧部と制御回路の夫々に適した半導体基板を用いることが可能となる。しかし、より集積回路を進める場合には、図13に示すように、制御回路を一体化したスイッチングレギュレータの半導体装置として、本発明を適用することも可能である。

【0032】次に、前述した半導体装置の製造方法を図14乃至図18を用いて工程毎に説明する。各図中では、左側にMISFET部分を、右側に同一工程での抵抗素子部分を示してある。先ず、例えばヒ素(A₅)が導入された単結晶珪素からなるn⁺型半導体基板1上に、エピタキシャル成長によってn⁻型層2を形成する。そして、このn⁻型層2にFLRのリング13となるp型ウエルを形成し、この半導体基板の主面に酸化珪素膜を、例えば熱酸化法で形成し、この酸化珪素膜上に

窒化珪素(SiN)膜のマスクを形成し、この窒化珪素膜をマスクとした選択的熱酸化によりフィールド絶縁膜3を形成する。この状態を図14に示す。

【0033】次に、半導体基板主面に、熱酸化膜あるいは熱酸化膜にCVD(Chemical Vapor Deposition)による酸化珪素膜を積層したゲート絶縁膜4を形成し、半導体基板主面全面にゲート5または抵抗素子SRの導電膜となる多結晶珪素膜5'をCVDにより形成し、この多結晶珪素膜5'に、ゲート5となる領域には例えばリンを、抵抗素子SRの導電膜となる領域には例えばボロンを導入する。この状態を図15に示す。

【0034】次に、多結晶珪素膜5'を、エッチング除去によってパターンニングし、ゲート5及び抵抗素子SRの導電膜を形成し、MISFETのp型層7、n⁺型層8、コンタクト層12をホトリソグラフィによるマスクを用いたイオン注入によって形成する。この際に抵抗素子SRの導電膜の両端に接続抵抗を低減するためのp⁺型層(導電膜がn型の場合には、n⁺型層)を形成する。この状態を図16に示す。

【0035】次に、半導体基板主面の全面に、例えばPSG(Phosphorus Silicate Glass)膜を堆積させ、SGO(Spin On Glass)膜を塗布形成して層間絶縁膜9を形成し、この層間絶縁膜9に、ソース領域となるn⁺型層8、ゲート配線6、抵抗素子SRの接続領域を露出させる開口を設ける。この状態を図17に示す。

【0036】次に、この開口内を含む半導体基板主面の全面に例えばシリコンを含むアルミニウムからなる導電膜(金膜)を形成し、この金膜をパターンニングして、ゲートガードリング10、ソース配線11、ガードリング14を形成し、例えばソースガスの主体としてテトラエトキシシラン(TEOS)ガスを用いたプラズマCVDによる酸化珪素膜にポリイミドを塗布積層し、半導体基板主面の全面を覆う保護絶縁膜15を形成し、n⁺型半導体基板1の裏面に研削処理を施し、この裏面に例えば蒸着によりニッケル、チタン、ニッケル、銀を順次積層したドレイン電極16を形成して、図18に示す状態となる。

【0037】このように、本発明の抵抗素子では他の素子の形成工程を利用して形成することができるので、工程数を増加させることがない。

【0038】(実施の形態2)図19は、本発明の他の実施の形態である半導体装置の抵抗素子SRを拡大して示す要部平面図であり、図20は、スタースイッチSS及び抵抗素子SRが設けられた外周部を示す縦断面図である。なお、抵抗素子SRとリング13とを接続する配線17は、図19中の断面A-A'、B-B'、C-C'に示すように、リング13上に設けた開口部と抵抗素子SR上に設けた開口部とを接続するため、図20においては、概念的に理解しやすくするために、リング13と抵抗素子SRとを直接的に接続して表している。

【0039】本実施の形態の半導体装置は、スイッチングレギュレータの高電圧部を構成するメインスイッチとなるMISFET MS、スタータスイッチとなるMISFET SS及び起動抵抗SRとなる抵抗素子を、集積回路化して形成したものである。

【0040】MISFET MS、MISFET SSは、例えば単結晶珪素からなるn型半導体基体1に、例えばエピタキシャル成長によってn型層2を形成した半導体基板に形成される。

【0041】これらのMISFETは、半導体基板の外周に沿って角部を円弧状とした矩形環状に設けられたフィールド絶縁膜3によって囲まれた領域内に、プレーナ構造のセルを規則的に複数配置し、半導体基板主面にゲート絶縁膜4を介して設けた隣接するセルの各ゲート5が互いに接続され、各セルを並列接続したメッシュゲート構造で構成される。外周のセルの各ゲート5はセル領域の外周部にて、例えば多結晶珪素を用いたゲート配線6と接続され、このゲート配線6がゲート5の接続領域であるゲートパッドと接続されている。

【0042】各セルでは、半導体基体1上に形成されたn型層2がドレイン領域となり、半導体基板主面に形成されたp型層7がチャネルの形成されるベース領域となり、p型層7内に形成されたn型層8がソース領域となる縦型FETとなっている。

【0043】ゲート配線6は、層間絶縁膜9を介して上層に形成され、例えばシリコンを含有させたアルミニウムを用いたゲートガードリング10と電気的に接続されている。ソースとなるn型層8は、例えばシリコンを含有させたアルミニウムを用いたソース配線11と電気的に接続されており、ソース配線11は半導体基板主面に層間絶縁膜9を介して形成されている。このソース配線11は、ソースとなるn型層8の他に、ベース電位を一定するために、p型層7に設けられたp型のコンタクト層12にも電気的に接続されている。

【0044】半導体基板の外周に沿って角部を円弧状とした矩形環状に設けられたフィールド絶縁膜3の下部には、フローティングのp型拡散層からなるリング13を同心環状に複数配置したFLR (Field Limiting Ring) が設けられている。このFLRでは、印加電圧の増加に連れて、アバランシェ降伏が起きる前に内周のリング13から外周のリング13に空乏層が延びてパンチスルーする構成となっており、最終的には最外周のリング13の接合部分にて降伏する。また、前述の如く、高電圧印加時の降伏は、面積が大きい素子にてその表面部分以外にて行なわれるのが望ましい。このため、面積が小さく表面で降伏しやすいFLRでの降伏を回避し、面積が大きく表面で降伏しにくいパワーMISFETにて降伏させるため、パワーMISFETの耐圧を750V～800Vとすれば、FLRの耐圧は800V以上とする。

【0045】このFLRの降伏電圧は、理論上各リング13間のパンチスルー耐圧及び最外周リングの降伏電圧の和となるため、リング13の本数を増やすことによって高耐圧化することができ、ターミネーション長を考慮して、本実施の形態ではリング13を4本としている。

【0046】そして、このFLRの形成されたフィールド絶縁膜3上に、抵抗素子SRが形成されている。抵抗素子SRは例えばp型不純物であるボロンを含有した多結晶シリコンからなり、図19に明らかなように、FLRの各リング13に直交する方向に蛇行させて設けられている(但し断面図では、概念的に理解しやすくするために直線状に単純化してある)。抵抗素子SRは、放熱を考慮して断面面積に対して表面積を増加させるために、扁平形状とする。

【0047】本実施の形態では、各リング13と抵抗素子SRとは、フィールド絶縁膜3に設けられた開口に形成された接続配線17によって、複数箇所にて夫々電気的に接続してある。このような接続を行うことによって、夫々の電位を固定してある。

【0048】高電圧の印加時に、抵抗素子SRに発生する電界とFLRに発生する電界との差が、それらの間に位置するフィールド絶縁膜3に加わる電界となる。このため、FLRの形成されたフィールド絶縁膜3上に、抵抗素子SRを形成することによって、フィールド絶縁膜3に加わる電界を緩和することができる。従って、抵抗素子SRはFLRの最外周のリング13よりも外側まで設け、抵抗素子SRに生じる電界とFLRに生じる電界とを略同一とすることによって、フィールド絶縁膜3に加わる電界を最小化することができる。

【0049】本実施の形態では、各リング13と抵抗素子SRとを接続することによって、夫々の電位が固定され、抵抗素子SRとFLRとの電界に生じる電圧が低減されるため、フィールド絶縁膜3に加わる電界が緩和されることとなる。また、フィールド絶縁膜3の外周には半導体基板主面に設けたn型の半導体領域14aに、例えばシリコンを含有させたアルミニウムを用いた配線14bを接続したガードリング14cが設けられており、ガードリング14cの配線14bが抵抗素子SRの一端に接続されてドレインと導通し、抵抗素子SRの他端がスタータスイッチSSのゲートと接続されており、ドレインの接続領域としては、半導体基板裏面の全面に、n型半導体基体1と導通するドレイン電極が、例えばニッケル、チタン、ニッケル、銀を積層した積層膜として形成される。また、本実施の形態では、スイッチングレギュレータの高電圧部を集積回路化し、制御回路については別チップとする半導体装置について説明を行なった。この構成によって、高電圧部と制御回路の夫々に適した半導体基板を用いることが可能となる。しかし、より集積回路化を進める場合には、図13に示すように、

制御回路を一体化したスイッチングレギュレータの半導体装置として、本発明を適用することも可能である。

【0050】続いて、前述した半導体装置の製造方法を説明する。先ず、図14に示すように、例えばヒ素（As）が導入された単結晶基板上にn+型半導体基体1上に、エピタキシャル成長によってn-型層2を形成する。そして、このn-型層2にFLLRのリング13となるp型ウェルを形成し、この半導体基板の主に酸化珪素膜を、例えば熱酸化法で形成し、この酸化珪素膜上に窒化珪素（SiN）膜のマスクを形成し、この窒化珪素膜をマスクとした選択的熱酸化によりフィールド絶縁膜3を形成する。

【0051】次に、半導体基板主面に、熱酸化膜或いは熱酸化膜にCVD（Chemical Vapor Deposition）による酸化珪素膜を積層したゲート絶縁膜4を形成し、半導体基板主面全面にゲート5或いは抵抗素子SRの導電膜となる多結晶珪素膜5'をCVDにより形成する。この多結晶珪素膜5'に、ゲート5となる領域には例えばリンを、抵抗素子SRの導電膜となる領域には例えばボロンを導入する。この状態を図15に示す。

【0052】次に、多結晶珪素膜5'を、エッチング除去によってパターンニングし、ゲート5及び抵抗素子SRの導電膜を形成し、MISFETのp型層7、n+型層8、コンタクト層12をホトリソグラフィによるマスクを用いたイオン注入によって形成する。この際に抵抗素子SRの導電膜の両端に接続抵抗を低減するためのp+型層（導電膜がn型の場合には、n+型層）を形成する。この状態を図16に示す。

【0053】次に、半導体基板主面上の全面に、例えばPSG（Phosphorus Silicate Glass）膜を堆積させ、SOG（Spin On Glass）膜を塗布形成して層間絶縁膜9を形成し、この層間絶縁膜9に、ソース領域となるn+型層8、ゲート配線6、抵抗素子SRの接続領域を露出させる開口を設ける。この状態を図17に示す。なお、この際に、図17図示とは別の断面では、図19に示したように、リング13上と抵抗素子SR上にも開口を設ける。

【0054】次に、この開口内を含む半導体基板主面上の全面に例えばシリコンを含むアルミニウムからなる導電膜（金風膜）を形成し、この金風膜をパターンニングして、ゲートガードリング10、ソース配線11、ガードリング14及びリング13と抵抗素子SRとを接続する配線17を形成し、例えばソースガスの主体としてテトラエトキシシラン（TEOS）ガスを用いたプラズマCVDによる酸化珪素膜にポリミドを塗布積層し、半導体基板主面の全面を覆う保護絶縁膜15を形成し、n+型半導体基体1の裏面に研削処理を施し、この裏面に例えば蒸着によりニッケル、チタン、ニッケル、銀を順次積層したドレイン電極16を形成して、図18及び図19に示す状態となる。

【0055】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば本発明は、パワーMISFETを設けた半導体装置以外にも、IGBT（Integrated Gate Bipolar Transistor）等を設けた半導体装置にも適用が可能である。

【0056】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

（1）本発明によれば、高電圧の印加時に、抵抗素子に発生する電界とFLLRに発生する電界との差がフィールド絶縁膜に加わる電界となるため、前記フィールド絶縁膜に加わる電界を緩和することができるという効果がある。

（2）本発明によれば、上記効果（1）により、フィールド絶縁膜の破壊を防止することが可能となるという効果がある。

（3）本発明によれば、上記効果（2）により、フィールド絶縁膜上に高耐圧抵抗を形成することができるという効果がある。

（4）本発明によれば、上記効果（3）により、チップサイズを縮小することができるという効果がある。

【図面の簡単な説明】

【図1】スイッチングレギュレータの構成を示す回路図である。

【図2】本発明の一実施の形態である半導体装置の概略構成を示す平面図である。

【図3】図2中の抵抗素子Sを示す部分平面図である。

【図4】図2中のメインスイッチSを示す部分縦断面図である。

【図5】図2中のスタートスイッチSS及び抵抗素子SRが設けられていない外周部を示す部分縦断面図である。

【図6】図2中のスタートスイッチSS及び抵抗素子SRが設けられた外周部を示す部分縦断面図である。

【図7】フィールド絶縁膜上に設けられた抵抗素子による電界を示す部分縦断面図である。

【図8】フィールド絶縁膜上に設けられた抵抗素子とFLLRとによる電界を示す部分縦断面図である。

【図9】ディプレッション型の抵抗素子Sを示す部分縦断面図である。

【図10】渦巻型の抵抗素子Sを示す部分縦断面図である。

【図11】本発明の抵抗素子の特性を示すグラフである。

【図12】本発明の抵抗素子の温度特性を示すグラフである。

【図 13】本発明の変形例の概略構成を示す平面図である。

【図 14】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 15】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 16】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 17】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 18】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 19】本発明の他の実施の形態である半導体装置の

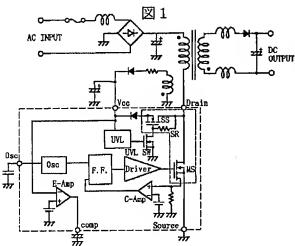
抵抗素子を示す部分平面図である。

【図 20】本発明の他の実施の形態である半導体装置のスタートスイッチ S 及び抵抗素子 S R が設けられた外周部を示す部分縦断面図である。

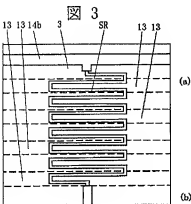
【符号の説明】

1…半導体基体、2…n-型層（ドレイン領域）、3…フィールド絶縁膜、4…ゲート絶縁膜、5…ゲート、6…ゲート配線、7…p 型層（チャネル形成領域）、8…n+型層（ソース領域）、9…層間絶縁膜、10…ゲートガードリング、11…ソース配線、12…コンタクト層、13…リング、14…ガードリング、15…保護絶縁膜、16…ドレイン電極、17…接続配線。

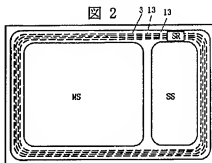
【図 1】



【図 3】

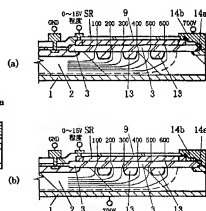


【図 2】

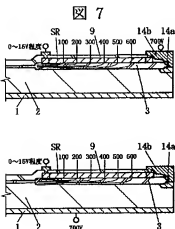


【図 8】

図 8

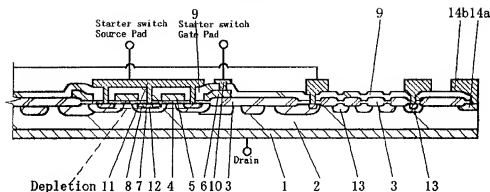


【図 7】

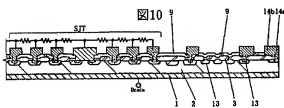


【図9】

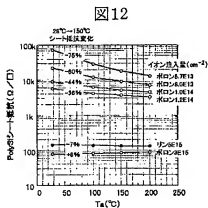
図 9



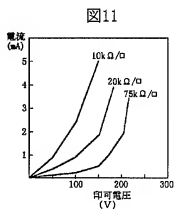
【図10】



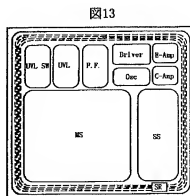
【図12】



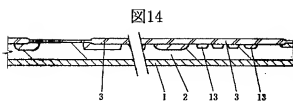
【図11】



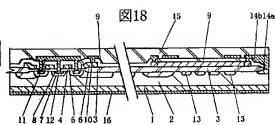
【図13】



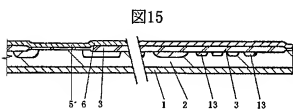
【図14】



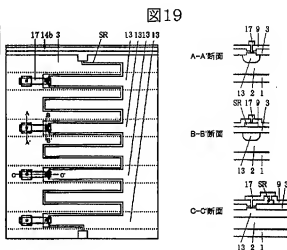
【図18】



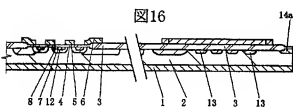
【図15】



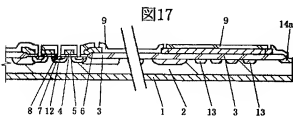
【図19】



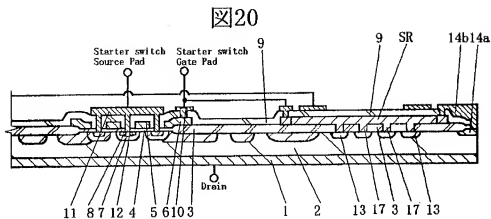
【図16】



【図17】



【図20】



フロントページの続き

(72)発明者 町田 信夫
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業本部内
 (72)発明者 工藤 聡
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業本部内

(72)発明者 山内 俊一
 埼玉県入間郡毛呂山町大字旭台15番地 日
 立東部セミコンダクタ株式会社内
 Fターム(参考) 5F038 AR10 AV06 AZ10 BH09 BH20
 DF01 EZ20